**Progetto di reti Logiche**

[Titolo]

[Autori]

# Introduzione

Il nostro progetto ha l’obiettivo di studiare l’interfaccia seriale asincrona UART, in particolare gli aspetti legati alla sua composizione, alla costruzione, al suo utilizzo e funzionamento.

Attraverso la realizzazione di un unico componente, che può svolgere sia il ruolo di trasmettitore che di ricevitore, sperimenteremo entrambe le sue proprietà effettuando dei test su due dispositivi identici.

Ogni dispositivo ha una porta di ingresso e una porta di uscita dei dati lungo una certa direzione.

Istanziato, quindi, lo stesso componente due volte testeremo la sua capacità di trasmissione e ricezione prendendo un dato dal bus d’ ingresso dell’interfaccia di uno e trasmettendolo all’altro, che lo riceverà e lo porterà sul proprio bus d’uscita.

Se identifichiamo un device con la lettera A e l’altro con la lettera B, può avvenire contemporaneamente la trasmissione/ricezione di un dato in direzione A🡪B e la trasmissione/ricezione di un altro dato in direzione B🡪A.

# Specifica

Questa sezione descrive l’architettura del sistema che si vuole realizzare. L’approccio deve essere top-down, cioè si deve partire dalla descrizione del sistema come insieme di moduli, quindi procedere all’approfondimento di ogni modulo. In nessuna parte della specifica deve essere riportato codice VHDL.

## Interfaccia del sistema

Questa sezione descrive i seguenti aspetti:

Segnali di ingresso e uscita: direzione, tipo, codifica, …

Eventuali relazioni tra i segnali: relazioni tra valori di segnali diversi, relazioni temporali, …

Descrizione della modalità di utilizzo del sistema, per esempio mediante un semplice diagramma temporale.

## Architettura del sistema

Questa sezione descrive l’architettura d’insieme del sistema, i moduli che lo compongono, le connessioni tra tali moduli e tutto quanto è necessario per comprendere il funzionamento globale del sistema. In questa fase è importante evidenziare le opportunità di generalizzazione e di riuso dei componenti. Il modo migliore per descrivere l’architettura è mediante uno schema a blocchi, opportunamente commentato. La decomposizione deve essere:

* Sufficientemente dettagliata da rendere chiaro il funzionamento complessivo
* Sufficientemente di alto livello, evitando di evidenziare moduli eccessivamente semplici

Questo principio deve valere anche per la descrizione dei moduli più complessi.

## Modulo 1

Ogni sezione dedicata ad un modulo deve specificare l’interfaccia del modulo stesso (segnali, codifica, tipo,…) ed il suo comportamento. Per i moduli più semplici, il comportamento può essere descritto in forma discorsiva, aiutandosi, ove possibile, con rappresentazioni semi-formali quali equazioni, pseudo-codice, …

Per i moduli complessi è consigliabile introdurre un ulteriore livello di gerarchia, ovvero descrivere la funzionalità in termini architetturali mediante uno schema a blocchi costituito a sua volta da sotto-moduli.

## Modulo 2

Come sopra.

## Modulo N

Come sopra.

# Verifica

Questa sezione descrive l’approccio che si intende seguire per il testing.

## Test-bench

Questa sezione descrive l’architettura del test-bench e la modalità di verifica della correttezza del sistema. Sebbene durante la progettazione sarà necessario sviluppare test-bench per diversi componenti, questa sezione deve riportare unicamente il test-bench-del sistema top-level.

## Casi d’uso

Questa sezione descrive brevemente i casi d’uso del sistema, ovvero le condizioni di utilizzo che il test-bench riproduce per il testing del sistema.